

English Abstract (Attached)

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A) 平1-258557

⑫ Int. Cl. 4

H 04 N 1/40
G 06 F 15/64
H 04 N 1/40

識別記号

1 0 1
3 2 5
4 0 0
1 0 1

庁内整理番号

C-6940-5C
A-8419-5B
P-8419-5B
A-6940-5C

⑬ 公開 平成1年(1989)10月16日

⑭ 発明の名称 原稿読取装置

⑮ 特願 昭63-85356

⑯ 出願 昭63(1988)4月8日

⑰ 発明者 長沢 清人 東京都大田区中馬込1丁目3番6号 株式会社リコー内

⑱ 出願人 株式会社リコー 東京都大田区中馬込1丁目3番6号

⑲ 代理人 弁理士 武頭次郎 外1名

明細書

1. 発明の名称

原稿読取装置

2. 特許請求の範囲

(1) 各画素ごとの原稿光学像読取信号を、一つまたは複数の信号線に対して時系列的に出力するイメージセンサと、該イメージセンサ出力をA/D変換するためのA/D変換器と、A/D変換出力から画像信号を取り出すための処理をデジタル的に行うためのラツチ、減算器、ゲート、RAM、ROMを含むデジタル処理手段とを備えていることを特徴とする原稿読取装置。

(2) A/D変換速度を画像信号のための画像クロックより高速にしたことを特徴とする請求項(1)記載の原稿読取装置。

3. 発明の詳細な説明

〔技術分野〕

本発明は、イメージスキャナ、デジタル複写機、ファクシミリ等に応用され、特に画像読取信号に対する信号処理に特徴のある原稿読取装置に

関する。

(従来技術)

第7図に従来例に係るイメージスキャナのアナログ処理回路を示す。

CCD1の受光面に結像された原稿の光学像はCCD1により読み取られる。CCD1には転送及びシフトのためのタイミングパルスPが与えられることにより、読み取られた画像信号出力OS及び暗出力DOSが出力される。OSとDOSはバツファ2により差動増幅されることにより、CCD1のリセットノイズ等を除去された画像信号となる。しかし、未だパルス状の信号であり直流オフセットを有しているため、先ずスイッチSW1によりゼロクランプを行う。これは画像信号の0レベルを決定するもので、通常CCDリセットパルスの直後のタイミングで、スイッチSW1をONすることにより行う。さらにスイッチSW2とコンデンサC_sにてサンプルホールドを行う。これはCCD出力が画像のレベル（原稿の反射率に比例した）を正しく示しているタイミングでの

みスイッチ SW2 を ON し、コンデンサ C₁ にチャージするようにする。さらに次の FET3 は、コンデンサ C₁ の電圧をハイインピーダンスで受けるためのバッファで、FET3 のソース出力として初めて 0 V を基準としたアナログ画像信号となる。これはさらにアンプ A1 にて所定の電圧にレベル設定され、D/A コンバータ4 の基準電圧端子 V_{ref} に与えられる。D/A コンバータ4 のデジタル入力には、後で説明するシェーディング補正データ S DATA が与えられており、出力 V_{DA} としては、

$V_{DA} = V_{ref} \times S DATA$

が与えられる。

A2 と A5 のステージでは、CCD1 の暗電流出力 DOS を補償するために、CCD1 のダミー画素（有効画素外の光遮蔽された画素で、暗電流成分のみを出力する）のタイミングでのみ ON する信号 DS を用いて暗電流成分をサンプルホールドし、それを画像信号 V_{DA} から差し引く処理を行う。A2 の出力 V_{DA} としては、CCD1 の暗電流

成分も取り除いた真のアナログ画像信号が得られる。

一方、CCD1 が白基準板の部分を読み出しているタイミングにて、ON する WS 信号にて白基準出力をサンプルホールドし、A3 と可変抵抗 VR にてレベル調整された電圧を基準電圧 V_{ref} として得る。基準電圧 V_{ref} は、画像信号のフルスケールを決定するものである。次段では、基準電圧 V_{ref} を基準（フルスケール）として V_{DA} を画像クロック VCLK に同期して、A/D 変換器 5 で A/D 変換す

る。A/D の出力として、初めてデジタル画像信号が得られる。この A/D 出力は ROM6 にてデータ変換を施され、VDATA を得る。

以上のプロセスにて得られたデジタル画像信号 VDATA は必要に応じて MTF 補正、密度変換等の処理を施した上で、ライン同期信号 (LSYNC) 及び画像クロック (CLK) とともにイメージスキヤナから出力される。

上述した従来例においては、パルス波形を含ん

だ CCD 出力から、アナログの画像情報をタイミングだけを捨り所にして、アナログ的にラッシュでアナログ画像信号を作り出すため、次のような問題を生じる。

- (1) パルス電圧によるリンクが発生し、これが CCD 出力の画像信号部分にまで入り込む。
- (2) 画像信号部分をサンプルするタイミング及びゼロクランプするタイミングは僅かしかなく、(1)項のリンクを捕らえてしまう危険がある。
- (3) サンプルタイミング、ゼロクランプタイミングのためのクロックパルスの僅かなジッター（時間的揺らぎ）が、得られるアナログ画像信号の振幅変動になつてしまふ。

以上のような問題はすべてアナログ画像信号上のノイズ成分として現れ、画像データの S/N 比を著しく劣化させる。これを軽減するためには、ローパスフィルタ、伝送インピーダンスの整合等を考慮する必要があるが、これによつて回路の複雑さ、さらに副作用として画像の周波数特性の劣化をも招くことになる。

(目的)

本発明は、上記従来例の欠点を解消し、CCD 等のイメージセンサ出力からの画像データ抽出を、高 S/N 比、高信頼性を維持して行うことが出来る原稿読取装置を提供することを目的とする。

(構成)

この目的を達成するために本発明は、各画素ごとの原稿光学像読み取信号を、一つまたは複数の信号線に対して時系列的に出力するイメージセンサ、該イメージセンサ出力を A/D 変換するための A/D 変換器、A/D 変換出力から画像信号を取り出すための処理をデジタル的に行うためのラッシュ、減算器、ゲート、RAM、ROM を含むデジタル処理手段を有することを特徴とする。

以下、本発明の実施例を図面に基づき説明する。

先ず第5図に、本発明に係る原稿読み取装置に利用されるイメージセンサとしての CCD (TCD 105C (東芝)) の内部回路を示す。また、CCD の駆動パルスタイミングを第6図に示す。

各画素ごとのフォトダイオードで発生した光電

流は蓄積電極に蓄積され、シフトパルス S H が印加されるとアナログシフトレジスタ側に全画素の蓄積電荷がそれぞれ移送される。シフトレジスタでは転送クロック 0 1, 0 2 によりその電荷が順次転送され、出力部に送られる。出力部では画素ごとの電荷を電圧に変換して、順次 O S 端子から出力する。出力部はリセット機能を持ち、リセットパルス R S を印加して各画素間の混じりを無くしている。

実際の C C D 出力波形は、第 6 図中の O S に示すようになっている。

先ずリセットパルス R S 印加中 (t_r) はリセットノイズと言われる成分が混入して来る。t_r 直後の t_z の期間は出力部が空になるから、画信号のゼロレベルを表すが、実際には直流オフセット電圧 V_{sc1} のレベルを有する。その後 0 1, 0 2 の遷移により、画信号が現れる。この画信号は負の方向に発生し、その振幅 v_o が、その画素の蓄積電荷量に比例している。この v_o が取り出したい画信号である。このように C C D 出力 O S は

回路に入力される。これは C C D 内部インピーダンスの影響、伝送線路の影響を少なくするもので状況によつては必要ないこともあり得る。O S 側は T r 1 の出力を直接 A / D 変換器 (A / D) のアナログ入力端子 V_{in} に入力する。D O S 側は T r 2 の出力をタイミングパルス Z S P にてサンプルホールドし、A / D の基準電圧端子の一方の V_{ref} に与える。Z S P は D O S のリセットノイズを発生するタイミング以外で与えればよく、タイミング変動に対するマージンは十分ある。A / D のもう一方の基準電圧端子 V_{ss} には一定の基準電圧電圧 Ref を与える。A / D は、V_{in} - V_{ss} を基準として、V_{in} を A / D 変換することになる。ここで A / D 変換のためのクロック A D C L K は、第 2 図(b)に示すように C C D 転送クロック (0 1, 0 2) に対して十分に高速のものを用いる。タイミング的には第 6 図に示す t_z 及び t_r の期間に少なくとも発生するようにすれば、特に C C D 転送クロックと同期する必要はない。このようして得られる A / D 出力は D O S により補償されてい

アナログ画信号レベルにパルス状の電圧が混入した波形となつてゐる。またこの C C D は補償出力 D O S を有している。これはダミーの出力部からの出力であり、O S と略同じレベルの直流オフセット V_{sc2} 及びリセットノイズレベルを持つ。但し、画信号は出力されない。

このように C C D 出力には、多くのパルス状の成分が含まれており、これから正確に画像情報を(第 6 図の v_o) を抽出することが必要である。

本発明では、このような C C D 出力 (O S) から完全にデジタル的な処理によつて画像信号を取り出し、さらに C C D によるアナログ画像信号のデジタル化をも同時に行うことにより、S / N の優れた画像信号を得るようとしたものである。

第 1 図(a), (b) に一実施例に係るイメージセンサ出力からの画像データ抽出回路プロックを、第 2 図(a), (b) にそのタイミング図を示す。

第 1 図(a)において、C C D 出力 O S 及び補償出力 D O S は、それぞれトランジスタ T r 1, T r 2 によるエミッタフォロアのインピーダンス変換

るため、C C D 出力に含まれる直流オフセット成分の影響をある程度除去されている。しかし完全ではない(第 6 図で示す V_{sc1} と V_{sc2} は完全に同じではない)ため、次のゼロクランプ及びサンプルホールドの処理を行う。但し、従来のようなアナログ処理ではなくデジタル的に行うことが出来る。

ゼロクランプパルス Z C P は、リセットパルス R S の直後で 0 1, 0 2 の変化の直前に発生させる。つまり、この期間 t_z に C C D 出力の 0 レベルが発生するためである(第 6 図参照)。Z C P により A / D 出力はラツチ L 1 にラツチされる。

続いて 0 1, 0 2 遷移の後、画像信号が第 6 図の t_r の期間出現するが、t_r の略中央の期間にサンプルパルス S C L K を発生させ、A / D 出力をラツチ L 2 にラツチする。この時点で L 2 には画像信号 S D A T A が、また L 1 にはゼロレベル Z D A T A がそれぞれラツチされている。次に減算器 S U B 1 によつて S D A T A - Z D A T A が演算され、結果は画像クロック V C L K によつて

ラツチ L 3 にラツチされる。V C L K は S D A T A と Z D A T A が双方とも立つた時点で立ち上がるようなパルスで、C C D 1 画素当たり 1 パルスとして与えられる（第 2 図(b)に示すタイミングチャート参照）。L 3 の出力 V D A T A 1 は、C C D の電気的なオフセットを除去され、且つパルス状の信号も除去された画像信号となつて。しかし未だ C C D の暗電流という問題がある。これは C C D に光を照射しない状態でも発生する C C D 出力であり、かなり強い温度特性を有する。この補正是従来のアナログ処理の考え方と同様で、画像データ V D A T A 1 を C C D のダミー画素のタイミングでラツチ L 4 においてラツチし、暗電流データ D R K を得る。そして V D A T A 1 から D R K を減算器 S U B 2 で差し引くことにより、暗電流成分を補正された画像データ V D A T A 2 が得られる。同図(b)に示すシェーディング補正是アナログ処理の場合と異なる。

C C D が原稿に先立つて読み取る基準白板に対応してシェーディングモード信号 F S H D がアク

ティブになる（第 1 図(b)では Low レベルになる）。

これにより 3 ステートゲート G が ON、メモリ RAM が書き込みモードとなつて、そのときの V D A T A 2 はドットアドレス DA に応じて RAM に記憶される。シェーディングモードが終了し、F S H D が High レベルに復帰すると、通常読取モードとなり、G は OFF、RAM は読み出しモードとなる。すなわちドットアドレスに応じて、記憶された白板読取データ S H D A T A が読み出され、画像データ V D A T A 2 と共にシェーディング補正用の R O M 1 のアドレスに印加される。R O M 1 には白板読取時の不均一性を補正されたデータが書かれてあり、アドレスに応じて出力する。

V D A T A 3 は、このようなシェーディング補正を受けた画像データとなる。R O M 2 は濃度変換、階調変換（r 変換）等を選択信号 S L D に応じて行うための R O M テーブルである。

以上で、従来アナログ的に処理していた C C D 出力信号から真の画像データを抽出するための機能を、すべてデジタル的に実現出来ることを示

した。さらにデジタル処理としたためのメリットを上げておくと、

- (1) アナログ処理用のオペアンプ、トランジスタ、F E T 等による温度特性補償、オフセット電圧等の補償、さらにバイアスの適正化、といった問題から回避出来る、
- (2) ノイズマージンを高くとれる、
- (3) 高速になる程、アナログ素子は選定対象が限られまた高価になるが、デジタル素子は比較的容易に（汎用的に）高速用が存在する、
- (4) デジタルデータであるため、記憶が容易で平均化等によるノイズ除去機能を周波数特性（解像度）の劣化なしに行うことが出来る、

があげられる。

ところで実際の C C D 出力は、第 2 図、6 図に模式的に示したような波形ではなく、パルス状のランダムノイズや、トランジエントによるリング、波形なりなどを含んでいることが多い。

このような場合、ゼロクランプやサンプルホールドにおいて、そのサンプルタイミングの僅かな

ズレにより得られるサンプル信号がばらつくことにより、またノイズの多いところをサンプルしてしまうことにもなる。この問題に対処するに際し、従来のアナログ処理方式では、平滑効果を持たせるため、ローパスフィルタを使用するなどで対応するが、何れも周波数特性の劣化（水平解像力の低下）を招く。

本発明によるデジタル方式では容易に対応出来る。その例を第 3 図、第 4 図に示す。

第 3 図に、第 1 図(b)のゼロクランプの部分を改良した例のプロック図を示すが、サンプルホールドの部分等、他も同じ方法が通用出来る。第 4 図にはそのタイミング図を示す。A / D の出力は加算器 A D D の A 入力に与えられ、B 入力にはラツチ L C H 2 の出力 Z L 2 が与えられる。これにより、A D D の出力 S に A + B が得られ、これが所定のタイミングでラツチ L C H 1 にラツチされる。L C H 1 の出力 Z L 1 は L C H 2 に与えられ、再度ラツチされる。

この様子を第 4 図に示すが、Z L 1 としては A

A/D 出力の累積値が得られていくことが分かる。

A/D 出力の所定個数累積した時点で、ゼロクランプバルス ZCP が発生し、累積値をラッチ L1 にラッチする。L1 の出力は ZDATA として第 1 図(a)と同じように、減算器 SUB1 に与えられ、同じようにして得られた S DATA と共に減算処理を施される。L1 では累積値をそのままラッチすると A/D の出力に比べてビット数が増加するので、下位ビットを落として平均値としても良い。

このように累積演算により 1 画素内での平均化効果を得ることが出来るから CCD 出力に含まれるトランジエント、ノイズ成分を除去することができ、しかもデジタル演算で 1 画素内で完結する処理であるから、周波数特性を劣化させることもない。

このような演算処理はゼロクランプ部だけではなく、画像データのサンプルホールド、暗電流検出・補正の各部分に通用出来る。また前記の説明では平均値処理の例を示したが、最大値または最低値を検出するような処理でも良い。

出来る。

4. 図面の簡単な説明

第 1 図(a), (b) はそれぞれ本発明の一実施例に係る原稿読取装置の要部のブロック図、第 2 図(a), (b) はそれぞれ同原稿読取装置の動作を示すタイミング図、第 3 図はゼロクランプ部の改良例を示すブロック図、第 4 図はそのタイミング図、第 5 図は CCD の内部回路図、第 6 図はその駆動バルスタイミング図、第 7 図は従来例に係るイメージキャナのアナログ処理回路図である。

1 … CCD 、 A/D … A/D 変換器、L1, L2, L3, L4 … ラッチ、SUB1, SUB2 … 減算器、G … ゲート、ROM1, ROM2 … リードオンリーメモリ、RAM … ランダムアクセスメモリ。

代理人弁理士 武顯次郎(外 1 名)

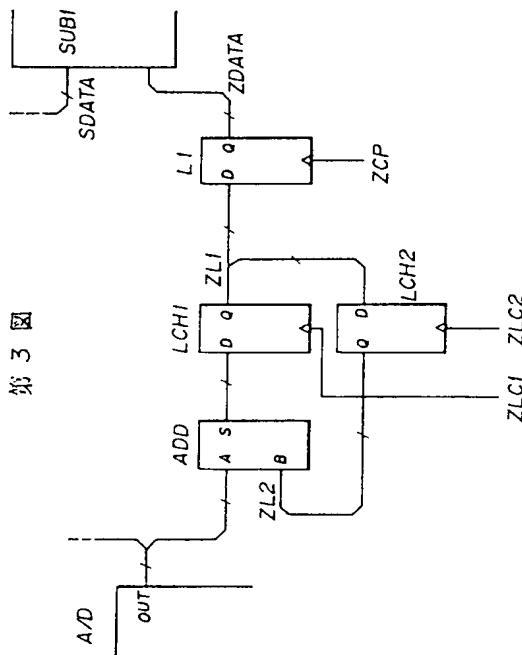
尚、第 3 図のタイミングバルス ZLC1, ZLC2, ZCP などは A/D 変換クロック ADCLK [第 2 図(b)] と同期したバルスを用い、 CCD 出力 OS [第 2 図(b)] と位相が適正な関係になければならない。

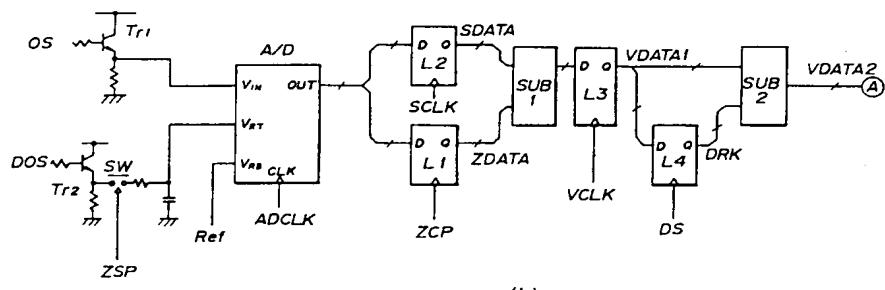
従つて、ADCLK と画像クロック VCLK 及び CCD 駆動バルス O1, O2 等はすべて周波数が整数関係にあることが望ましい。例えば ADCLK を分周して VCLK, O1, O2 等を作るようすれば良い。

ADCLK を VCLK に対して、例えば 10 倍以上の高速に出来る場合は特に分周したものにする必要はないが、各処理に対するタイミングバルスは CCD 出力に対する位相を正確にコントロールすることが必要である。

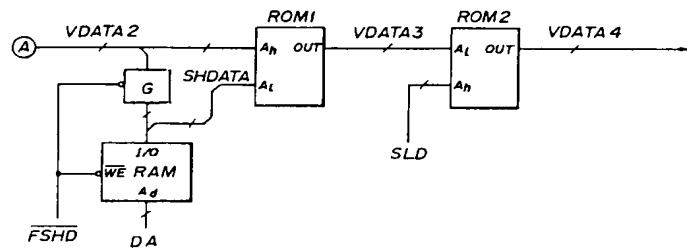
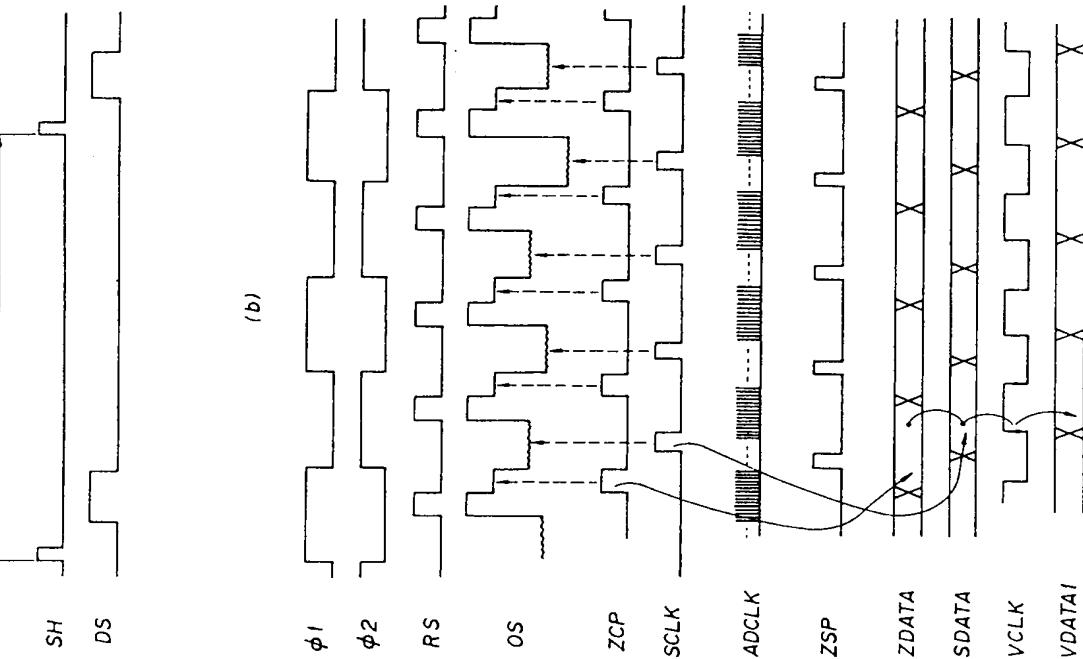
(効果)

以上、本発明に係る原稿読取装置によれば、イメージセンサ出力から完全にデジタル的な処理によつて画像信号を取り出すようにしたから、S/N の優れた信頼性の高い画像信号を得ることが

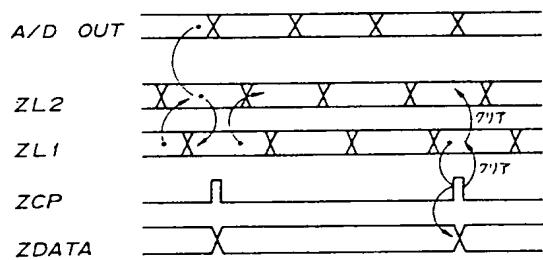


第1図
(a)

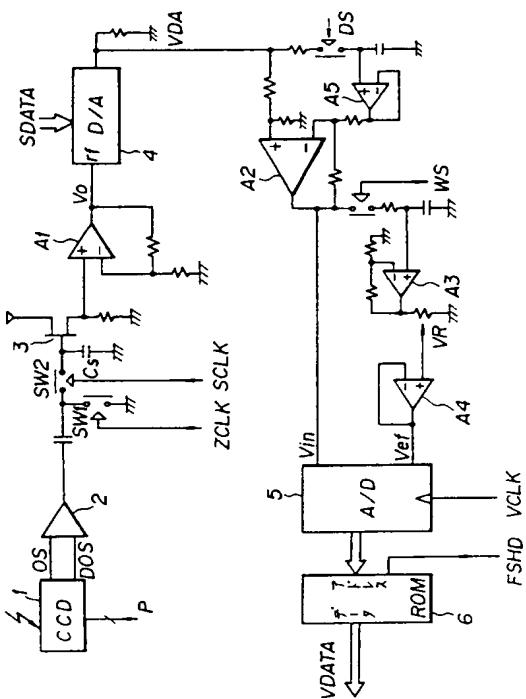
(b)

第2図
(a)

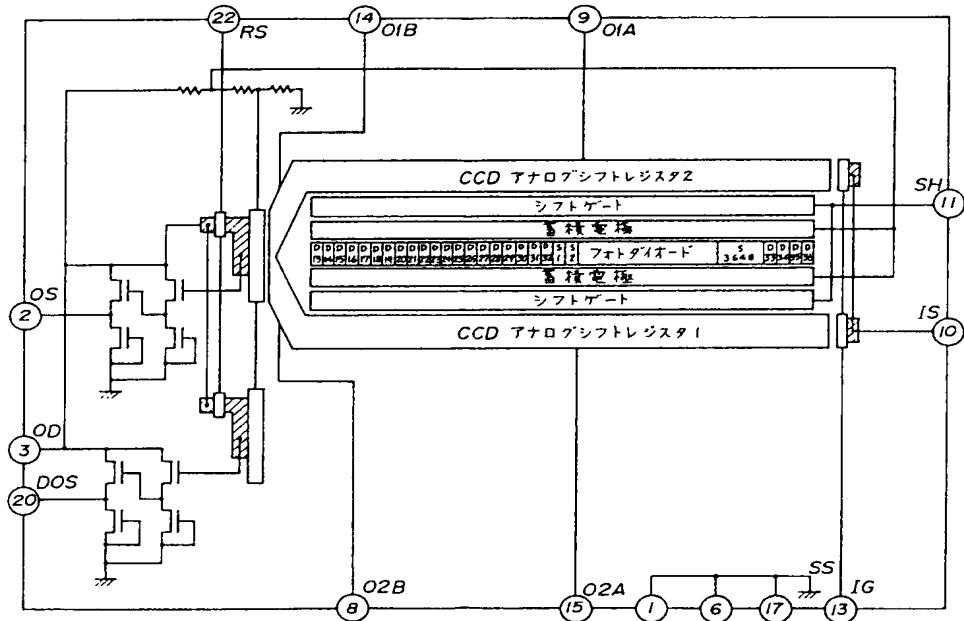
第4図



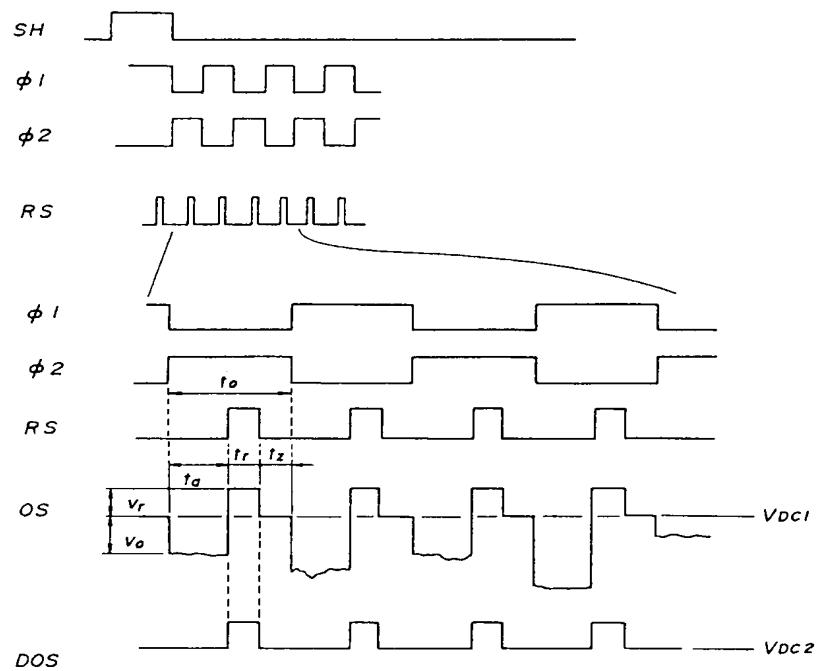
第7図



第5図



第6図



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-258557
 (43)Date of publication of application : 16.10.1989

(51)Int.CI.

H04N 1/40**G06F 15/64****G06F 15/64**

(21)Application number : 63-085356

(71)Applicant : RICOH CO LTD

(22)Date of filing : 08.04.1988

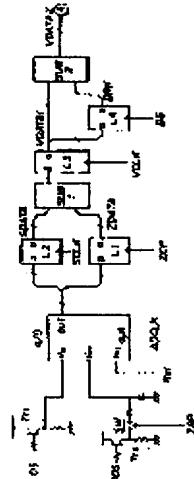
(72)Inventor : NAGASAWA KIYOTO

(54) ORIGINAL READER

(57)Abstract:

PURPOSE: To obtain an image signal whose S/N is excellent and whose reliability is high by fetching the picture signal from an image sensor output by a completely digital processing.

CONSTITUTION: A CCD output OS and a compensating output DOS are inputted to the analog input terminal and the reference voltage terminal of an A/D converter A/D through transistors TR1 and TR2 for an impedance conversion, respectively. The A/D output of the A/D converter A/D is latched by latches L1 and L2. The output of the latches L1 and L2 is subtracted by a subtracter SUB1, and the output is latched by a latch L3. A latch L4 latches dark current data, and image data are obtained, whose dark current component is corrected, by subtracting the output from the output of the latch L3 with a subtracter SUB2. Moreover, for the image data, the processings of shading correcting, density converting, gradation converting, etc., are executed with a ROM.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office